

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263619

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

H01L 25/04

H01L 25/18

(21)Application number : 06-046615

(71)Applicant : TOSHIBA CORP

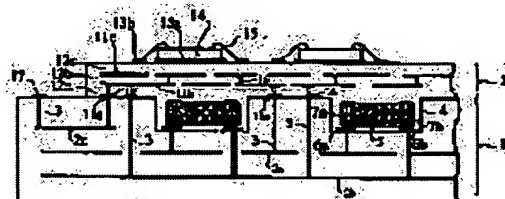
(22)Date of filing : 17.03.1994

(72)Inventor : ITO KENJI

(54) SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To cut down the wiring length from a power supply layer and a grounding layer to a chip capacitor for effectively abating the switching noise by a method wherein the chip capacitor is buried structured in a base substrate to be connected between a power supply layer and a grounding layer provided in a base substrate or thin film multilayer wiring part.

CONSTITUTION: A cavity 4 is formed on the surface of a base substrate 1 so as to contain a chip capacitor 5. Next, a terminal pad 6a and another terminal pad 6b are formed on the bottom part of the cavity 4 so as to respectively connect to the first and second terminal electrodes 7a and 7b. The terminal electrodes 7a, 7b are connected to terminal pads 6a, 6b by a wax material etc. In such a constitution, the chip capacitor 5 is almost directly connected to a grounding layer 2a and a power supply layer 2b so that the inductance of wiring may be reduced simultaneously giving notable effect on the noise abatement.

**LEGAL STATUS**

[Date of request for examination] 23.02.2000

[Date of sending the examiner's decision of rejection] 27.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263619

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁵

H 0 1 L 25/04
25/18

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/ 04

Z

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平6-46615

(22) 出願日

平成6年(1994)3月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 健志

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

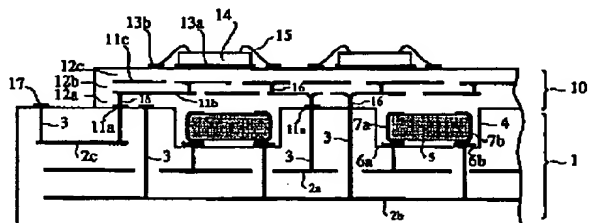
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置

(57) 【要約】

【構成】 ベース基板に薄膜多層配線部を設け、その上に半導体素子を搭載接続したマルチチップモジュール型の半導体装置において、チップキャパシタをベース基板に埋め込み、その上に薄膜多層配線部を形成し、このチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続する。

【効果】 電源層および接地層からチップキャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時スイッチングノイズを効果的に減少することが可能となる。また半導体素子等の搭載位置の直下にも、チップキャパシタを配置できるため、基板サイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるので、半導体装置としての厚さを減少することもできる。



【特許請求の範囲】

【請求項 1】 少なくとも内部に内層導体層を 1 層有するベース基板と、

前記ベース基板の 1 主面に設けられた凹部と、
この凹部に収納されたチップキャパシタと、
このチップキャパシタを含めた前記ベース基板の 1 主面上に、薄膜導体層と絶縁層とを交互に積層して形成した薄膜多層配線部と、
前記ベース基板の内部もしくは前記薄膜多層配線部の内部に設けられた電源層と、
前記ベース基板の内部もしくは前記薄膜多層配線部の内部に設けられた接地層と、
前記接地層と前記チップキャパシタの第 1 の端子電極とを接続する配線と、
前記電源層と前記チップキャパシタの第 2 の端子電極とを接続する配線と、
前記薄膜多層配線部に接続される半導体素子とを具備することを特徴とする半導体装置。

【請求項 2】 前記電源層と前記接地層が前記ベース基板の内部に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記電源層と前記接地層が前記薄膜多層配線部の内部に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記チップキャパシタが積層型セラミックチップキャパシタであることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記薄膜多層配線部の薄膜導体層が銅を主体とした導体で形成されており、絶縁層がポリイミドで形成されていることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜多層配線部を有する多層基板を使用したマルチチップモジュール型の半導体装置に関し、特にチップキャパシタを多層基板に内蔵した半導体装置に関する。

【0002】

【従来の技術】近年、コンピュータや通信機器の高速化にともない大規模集積回路（以後 LSI と略称する）等の半導体素子間の空間的な距離によって生じる遅延時間が問題になってきており、個々の LSI をパッケージングしプリント基板に実装する方法では十分な性能を発揮できなくなっている。この問題を解決するための方法の一つとして複数の LSI をベアチップ状態で多層配線基板に実装したマルチチップモジュール（以後 MCM と略称する）と呼ばれる半導体装置がある。MCM には用いられる基板の種類によって、プリント基板に直接ベアチップを実装する MCM-L、グリーンシートを積層して同時焼成したセラミック基板を用いる MCM-C、薄膜

多層配線基板を用いる MCM-D に分類できるが電気特性、配線密度などの観点から MCM-D が注目されている。

【0003】MCM-D の場合、薄膜配線を形成するためには土台となるベース基板が必要になり、ベース基板としてはシリコンウエハ、アルミニウムなどの金属板、アルミナ、窒化アルミニウムなどのセラミック基板が用いられている。セラミック基板を用いた場合には、ベース基板内部に配線を形成でき、しかもベース基板がパッケージを兼ねることができるため実装密度が向上できる。このためこのタイプは MCM-D/C と呼ばれ注目されている。特にポリイミド等の低誘電率の樹脂を絶縁層とした薄膜多層配線は高速性能に優れているので、高速動作の MCM では MCM-D と MCM-D/C が主流となってきている。

【0004】一方、電子機器の動作速度の向上させるために、LSI の入出力バッファは高速にスイッチングを行う。このとき、過渡的に電源および接地（グランド）を流れる電流により、電源および接地の電位に変動を生じる。この電位変動は同時にスイッチングするバッファ数が多い場合に問題となるため”同時スイッチングノイズ（SSN: Simultaneous Switching Noise）”、あるいは過渡的に電源または接地を流れる電流によって発生するため” ΔI ノイズ”とも呼ばれている。同時スイッチングノイズの大きさ VSSN は

$$VSSN = n \times L_{eff} \times (di/dt)$$

で表される。ここで、 n : バッファ数、 L_{eff} : 電源または接地の実効インダクタンス、 di/dt : 電流変化率である。

【0005】プリント基板にパッケージ品を実装した通常のモジュールに比較して、MCM ではトータルの配線容量が小さいので、電流駆動能力の小さいバッファを用いてシステムを構築できる。従って di/dt の小さなバッファを選択することができるため同時スイッチングノイズの影響が比較的小さい。しかしながら、MCM を採用する用途としては、従来のボード実装技術では実現困難な領域、例えばクロック周波数 100MHz 以上のものが対象となるため、同時スイッチングノイズへの対策が必要となる。

【0006】同時スイッチングノイズ対策として、デカップリングキャパシタの設置、実効インダクタンス L_{eff} の減少、同時にスイッチングするバッファ数 n 及び電流変化率 di/dt の減少などが考えられるが、最も一般的にかつ最初に用いられる方法はデカップリングキャパシタの設置である。デカップリングキャパシタを搭載することにより、電源と接地との電位差の変動を押さえることができるため、同時スイッチングノイズが減少したと等価になる。

【0007】MCM-D または MCM-D/C におけるデカップリングキャパシタの搭載方法としては主に 2 つ

の方法が行われている。一つはセラミックのキャパシタをMCM基板の表面（薄膜多層配線部の表面）または裏面（ベース基板の裏面）に表面実装する方法であり、他の一つはMCM基板内部にデカップリングキャパシタを形成する方法である。前者において基板表面に搭載した場合は、デカップリングキャパシタの分だけ面積を専有するため、デカップリングキャパシタを搭載すればするほど基板サイズが大きくなるという問題を生じる。また、一般的にチップキャパシタはLSIチップと比較して厚いためモジュール厚さが厚くなるという問題も生じる。

【0008】チップキャパシタをMCM基板裏面（ベース基板裏面）に設置する場合には、同じくMCM基板裏面に配設される放熱フィン（高速動作するMCMは発熱も多大となるため放熱フィンが必須となる）を避けるために、LSI近傍には設置できない。そのためデカップリングキャパシタまでの電源または接地のインダクタンスが大きくなり、同時スイッチングノイズ低減効果が減少する。また、MCM基板裏面へのチップキャパシタ実装の工程が増加するとともに、チップキャパシタと放熱フィンの接続材料に温度差をつける必要がある等工程が煩雑となる。

【0009】MCM基板内部にデカップリングキャパシタを形成する例としては、セラミックベース基板製造の際キャパシタを同時に形成する方法があるが、コストの増加を招くうえ、誘電体及び電極の材料の制限により高容量のデカップリングキャパシタを実現できず、個別に製作したチップキャパシタを併用しなければならないという問題があった。

【0010】

【発明が解決しようとする課題】本発明はこのような問題に鑑みてなされたもので、その目的とするところは、安価なキャパシタを最も効率の良い態様で実装し、基板サイズを増加させることなく同時スイッチングノイズを低減できるMCM型の半導体装置を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置では、少なくとも内部に内層導体層を1層有するベース基板と、前記ベース基板の1主面に設けられた凹部と、この凹部に収納されたチップキャパシタと、このチップキャパシタを含めた前記ベース基板の1主面上に、薄膜導体層と絶縁層とを交互に積層して形成した薄膜多層配線部と、前記ベース基板の内部もしくは前記薄膜多層配線部の内部に設けられた電源層と、前記ベース基板の内部もしくは前記薄膜多層配線部の内部に設けられた接地層と、前記接地層と前記チップキャパシタの第1の端子電極とを接続する配線と、前記電源層と前記チップキャパシタの第2の端子電極とを接続する配線と、前記薄膜多層配線部に接続される半導体

素子とを具備することを特徴としている。

【0012】前記電源層と前記接地層はベース基板の内部に設けられていてもよく、薄膜多層配線部の内部に設けられていてもよい。あるいは一方がベース基板内部に、他方が薄膜多層配線部内部に設けられていてもよい。

【0013】またチップキャパシタは積層型のセラミックチップキャパシタを使用し、薄膜多層配線部は銅を主体とした導体層と、ポリイミドの絶縁層を交互に積層して形成している。

【0014】

【作用】チップキャパシタをベース基板に埋め込む構造としたため、その上に薄膜多層配線部を形成することができる。そしてこのチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているので、電源層および接地層からチップキャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時スイッチングノイズを効果的に減少することが可能となる。

【0015】また他の部品、例えばLSIチップ等の搭載位置の直下にも、チップキャパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるので、MCMとしての厚さを減少することもできる。

【0016】チップキャパシタとして個別に製作された積層型のセラミックチップキャパシタを使用するので、小型で十分な容量が得られかつ安価である。また薄膜多層配線部は誘電率の低いポリイミドを絶縁層とし、導体抵抗の低い銅を導体層に用いているので配線容量を低くすることができ、同時スイッチングノイズを軽減することができる。

【0017】

【実施例】以下、図面に基づいて本発明の実施例を詳細に説明する。図1、図2は本発明の第1の実施例に係わるMCMを示したもので、図1は一部断面図、図2は模式的な平面図である。図2のA-A線での断面図の内、左3分の2を示したものが図1に相当する。図において1はベース基板で、アルミナ（ Al_2O_3 ）や窒化アルミニウム（ AlN ）を絶縁材料とする同時焼成のセラミック多層基板を用いている。即ちベース基板1には内層配線としてタングステン等を導体材料とする接地層2aと電源層2b、更に外部接続端子17に接続する引出配線2cが形成されており、ビアホール（層間導通路）3を介してベース基板1の表面に導出されている。なお層数はこれに限られるものではなく、複数の接地層、電源層等が存在しても良い。

【0018】またベース基板1の表面には凹部（キャビティ）4が形成されており、そこにチップキャパシタ5が収納されている。凹部4の底面にはチップキャパシタ5の第1の端子電極7aを接続するための端子パッド6

a、第2の端子電極7bを接続するための端子パッド6bが形設されている。前記チップキャパシタ5の端子電極7a、7bはろう材（図示せず）等により端子パッド6a、6bに接続されている。ベース基板1の表面とチップキャパシタ5の表面には段差があり、凹部4とチップキャパシタ5との間にも空隙部があるので、薄膜多層配線部の絶縁層と同等の樹脂で充填し表面を平坦化してある。

【0019】この様に形成されたベース基板1の表面に薄膜多層配線部10が形成されている。即ちベース基板1の表面に導出された前記ビアホール3の導出面にはCuを主体とした薄膜第1導体層により電極パッド11aが形成され、薄膜多層配線部10との接続部となる。この上にポリイミド等の薄膜絶縁層12aを塗布し、さらにその上に信号層となる第2薄膜導体層11b、第2薄膜絶縁層12b、他の信号層となる第3薄膜導体層11c、第3薄膜絶縁層12cを順次積層し、最上層には半導体素子14を搭載接続するためのダイパッド13a、ボンディングパッド13bを形成し、所望の導体層間をビアホール16で接続することにより薄膜多層配線部10が形成されている。前記半導体素子14は導電性樹脂（図示せず）等で前記ダイパッド13aに搭載され、ボンディングワイヤ15でボンディングパッド13bに接続されている。なお前記薄膜多層配線部の層数は上記に限られるものではないことはいふまでもない。

【0020】上記構成のMCMの各構成部分は次のようにして製造し得る。先ずベース基板1はアルミナ（ Al_2O_3 ）や窒化アルミニウム（AlN）を主材料とするグリーンシートと称する未焼成シートを所定の寸法に切断する。次にビアホール用開口部やその他開口部をパンチングで開口し、ビアホールにはタングステンペースト等を充填する。次に導体パターンをタングステンペースト等をスクリーン印刷することにより形成する。この様に加工されたグリーンシートを所要の枚数積層し、同時焼成することにより一体化された多層のベース基板が得られる。

【0021】図3は前記ベース基板1の構成を模式的に示した断面図で、(a)は最上層のグリーンシート21aに、チップキャパシタが収納される開口部22と、ビアホール23aが穿孔された状態を示している。このビアホール23aにはタングステンペーストが充填されている。グリーンシート21aの厚さおよび開口部22の大きさは、焼成後にチップキャパシタのサイズよりも0.2～0.3mm程度大きくする様に設定しておく。

【0022】図3(b)はチップキャパシタが載置される層を示しており、グリーンシート21bにはビアホール23bが穿孔されタングステンペーストが充填されている。チップキャパシタが接続される端子パッド24および引出配線25がタングステンペーストのスクリーン印刷で形成されている。

【0023】図3(c)は接地層を示しており、グリーンシート21cにはビアホール23cが穿孔されており、タングステンペーストが充填されている。更に面状の接地層26がビアホール23cの周辺を避けて、同じくタングステンペーストの印刷で形成されている。

【0024】図3(d)は最下層の電源層を示したもので、グリーンシート21dに面状の導体層27がタングステンペーストの印刷で形成されている。上記の4枚のグリーンシートを図の順番で積層・加圧し、1500～1600℃の還元雰囲気炉で焼成することにより図4に断面図で示す様なベース基板が完成する。これは図1におけるベース基板1に相当する。なおチップキャパシタが接続される端子パッド24にはろう付けのためにNiめっき等を施しておく。

【0025】次に凹部4に搭載するチップキャパシタ5は、容量として1000pF～10,000pF程度が必要で、個別の小型チップキャパシタとしては、チタン酸バリウム等を誘電体とする積層型セラミックチップキャパシタが好適である。本実施例では1.0×0.5×0.5mmのサイズのものを使用した。セラミックチップキャパシタのベース基板への取付方法は、後述する薄膜多層配線部の形成時の処理温度に耐えられるものでなくてはならない。例えば絶縁層12にポリイミドを用いた場合には、キュア温度が400℃に達するため銀ろう付け等が好適である。通常セラミックチップキャパシタの外部電極はAg-Pdペーストが塗布され焼成されているが、更に銀ろう等をコートしておき、ベース基板の凹部に載置し銀ろう等をリフローすることにより接続しうる。絶縁層12がエポキシ系の場合には200℃以下の低温でキュアするためハンダによる接続も可能となる。

【0026】またチップキャパシタ5を凹部4に搭載した直後には、ベース基板1の表面とチップキャパシタ5の表面には段差があるので、このままでは次の薄膜工程を行うことができない。そこで凹部4の空隙部を図5に断面的に示すように、充填樹脂31により埋め込み、ベース基板1の表面を平坦化する必要がある。充填樹脂31としては薄膜多層配線部10の絶縁層12aと同一のもの、例えばポリイミドであってもよく、異なる樹脂であってもよい。吸湿性を有するポリイミドに代えて吸湿性の少ない樹脂を用いれば、充填樹脂31を形成した状態で長期保存が可能となる。

【0027】次に薄膜多層配線部の形成方法について説明する。図1で説明した様に前記ベース基板の表面にはビアホール3により導出された電源層および接地層のコンタクト部が形成されている。このコンタクト部はセラミックの焼き縮みにより寸法精度が不十分なので、薄膜回路を接続するためには電極パッド12aを形成する必要がある。そこで前記ベース基板1の表面を鏡面研磨等の前処理を施し、前記凹部4に充填した充填樹脂31の表面の平坦化も併せて実施する。

【0028】次に蒸着やスパッターによりバリメタル／Cu／バリアメタルの第1導体層をベース基板全面に形成する。フォトレジストをスピコート、露光、現像し、所定の必要パターン以外の部分をエッチング除去することにより電極パッド12aを形成する。なおバリアメタルはCuとポリイミドの接着力向上と、Cuがポリイミド前駆体であるワニスに侵されることを防止するために使用されるもので、CrやTiが使用される。

【0029】次に感光性ポリイミドをスピコート等により塗布し、基板全面に平坦なポリイミド層を形成する。その後露光現像することによりビアホール16用の開口部を開け、キュアすることにより第1絶縁層12aを形成する。

【0030】その後同様な工程な工程を繰り返すことにより、第2導体層11b、第2絶縁層12b、第3導体層11c、第3絶縁層12c、ビアホール16が形成される。最上層にはダイパッド13a、ボンディングパッド13b等の半導体素子取付用の電極を形成する。半導体素子14は図示しない導電性ペースト等で前記ダイパッド13aに搭載され、ボンディングワイヤ15を介してボンディングパッド13bに接続される。半導体素子の取付はTAB（Tape Automated Bonding）方式であってもよいことはいふまでもない。

【0031】また上記実施例では凹部4の充填樹脂31による充填を、電極パッド12aの形成前に予め行っているが、第1絶縁層12aの形成と同時に進めてもよい。即ち電極パッド12aを形成後、充填樹脂31を凹部4に充填・仮キュアし、その上に第1絶縁層12aを形成して平坦化処理をしてもよい。ただし電極パッド12aの形成時には、凹部4をマスキングする等の考慮が必要である。

【0032】またベース基板1の層構成は図6に示す様に、チップキャパシタ取付用の端子パッド6a、6bを接地層2aと同一面に設け、層を1層減少させることもできる。引出配線2cを接地層2aに同居させるため、接地層の設計上若干の制約が加わるが、ベース基板の低価格化に効果がある。

【0033】以上説明した様に本実施例では、チップキャパシタ5をベース基板1に内蔵された接地層2aと電源層2bにほぼ直結させているので、配線のインダクタンスが減少し、同時スイッチングノイズ減少に極めて大きな効果を奏する。

【0034】次に本発明の第2の実施例を図7を参照して説明する。図7は第2の実施例に係わるMCMの一部断面図である。本実施例のベース基板41には接地層や電源層は内蔵されておらず、薄膜多層配線部51とベース基板41上に形成された外部接続端子52とを接続する引出配線43が1層と、チップキャパシタ45を収納する凹部44が形成されている。凹部44に収納されたチップキャパシタ45は薄膜多層配線部51中の接地層

53bと電源層53cと接続される構成となっており、チップキャパシタ45は絶縁性の接着剤46、例えばポリイミド樹脂で凹部44の底面に接着される。さらに凹部44の空隔部をポリイミド等の充填樹脂47で充填した後、前記チップキャパシタ45の端子電極48a、48bとの接続用の穿孔をフォトリソエッチング等により行う。その後第1の実施例と同様に薄膜多層配線部の形成を行う。

【0035】即ちベース基板41の表面に前処理を施し、蒸着やスパッタにてCuを主体とした第1導体層を形成し、パターニングすることにより電極パッド53a、外部接続端子52、端子電極48と接続ビア62を介して接続する引き出し線53a'等を形成する。次にポリイミドの第1絶縁層54aをスピコート等により塗布し、引き出し線53a'への接続ビア55、56、その他のビアホール57のための開口をフォトリソエッチング等により形成する。

【0036】さらに第2導体層（接地層）53bを上記と同様な方法で形成・パターニングし、同時に接続ビア55、56、その他のビアホール57を形成する。これにより第2導体層53bとチップキャパシタ45の第1の端子電極48aとの接続が接続ビア55を介して形成される。

【0037】その上にポリイミドの第2絶縁層54bを形成し、接続ビア56に接続する接続ビア56'とその他のビアホール57のための開口を行う。その上に第3導体層（電源層）53cを形成し、同時に接続ビア56'を形成することによりチップキャパシタ45の第2の端子電極48bと第3導体層53cとの接続が形成される。

【0038】以下第3絶縁層54c、第4導体層（信号層）53d、第4絶縁層54d、第5導体層（信号層）53e、第5絶縁層54eを同様な方法で順次積層し、最上層にダイパッド58、ボンディングパッド59等を形成する。ダイパッド58には半導体素子60が搭載され、ボンディングワイヤ61を介してボンディングパッド59に接続されている。

【0039】この様な構成をとると、チップキャパシタ45は接地層53bと電源層53cに短距離で接続されるので、配線のインダクタンスが減少し同時スイッチングノイズの減少が可能になる。更にベース基板41には電源層、接地層を内蔵しないので、パッケージ強度を損なわない程度にベース基板41を薄型化することが可能になり、小型MCMの場合はMCM全体として薄型化できる。なお接地層（53b）、電源層（53c）、信号層（53d、53e）の配設順序は上記実施例に限られるものではなく、順序を入れ替えてもよい。

【0040】以上本発明の実施例を説明したが、本発明は上記実施例に限られるものではなく、種々の変形が可能である。例えば電源層をベース基板に内蔵し、接地層

を薄膜多層配線部に内蔵して、チップキャパシタをこの電源層、接地層に接続するようにしてもよい。要はベース基板の凹部に収納されたチップキャパシタを直近に配置された接地層、電源層に接続すればよいのである。またベース基板はセラミックに代えてガラスエポキシ等の樹脂基板を用いてもよい。

【0041】

【発明の効果】チップキャパシタをベース基板に埋め込み、その上に薄膜多層配線部を形成し、このチップキャパシタをベース基板もしくは薄膜多層配線部に設けられた電源層と接地層の間に接続しているのので、電源層および接地層からチップキャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時スイッチングノイズを効果的に減少することが可能となる。

【0042】また半導体素子等の搭載位置の直下にも、チップキャパシタを配置できるため、MCM基板のサイズを減少することが可能となる。またチップキャパシタをベース基板に内蔵する形になるので、MCMとしての厚さを減少することもできる。チップキャパシタとして個別に製作された積層型セラミックチップキャパシタを使用するので、小型で充分な容量が得られかつ安価である。

【0043】ポリイミドを絶縁層、Cuを導体層とした薄膜多層配線部を使用すれば、配線容量が小さくなるので、同時スイッチングノイズの影響をさらに低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体装置の一部断面図。

【図2】本発明の第1の実施例に係わる半導体装置の平面図。

【図3】本発明の第1の実施例に係わるベース基板の積

層前の構成を示す断面図。

【図4】本発明の第1の実施例に係わるベース基板の積層後の状態を示す断面図。

【図5】本発明の第1の実施例に係わるベース基板にチップキャパシタを取付け、充填樹脂で充填した状態を示す断面図。

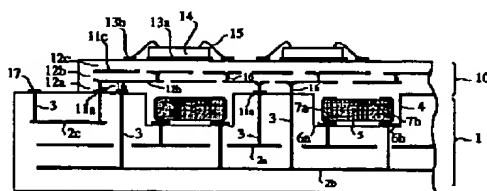
【図6】本発明の第1の実施例に係わるベース基板の変形例を示す断面図。

【図7】本発明の第2の実施例に係わる半導体装置の一部断面図。

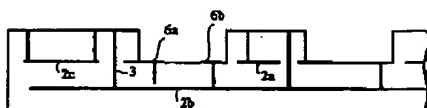
【符号の説明】

- 1 … ベース基板
- 2 a … 接地層
- 2 b … 電源層
- 2 c … 引出配線
- 3 … ヴィアホール
- 4 … 凹部（キャビティ）
- 5 … チップキャパシタ
- 6 a、6 b … 端子パッド
- 7 a、7 b … 端子電極
- 10 … 薄膜多層配線部
- 11 a … 電極パッド（第1導体層）
- 11 b … 第2導体層
- 11 c … 第3導体層
- 12 a … 第1絶縁層
- 12 b … 第2絶縁層
- 12 c … 第3絶縁層
- 13 a … ダイパッド
- 13 b … ボンディングパッド
- 14 … 半導体素子
- 15 … ボンディングワイヤ
- 16 … ヴィアホール
- 17 … 外部接続端子

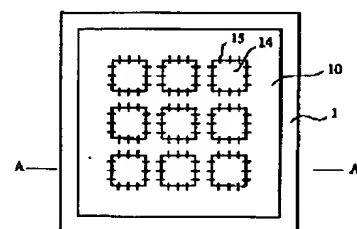
【図1】



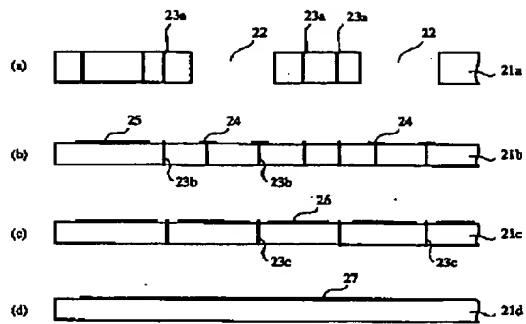
【図6】



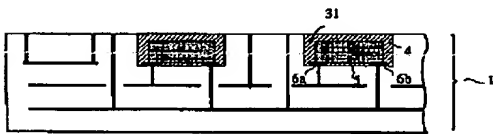
【図2】



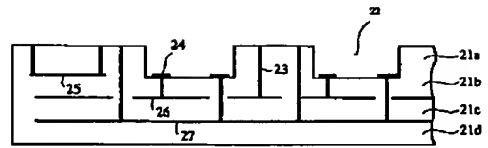
【図3】



【図5】



【図4】



【図7】

